

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-273332

(43)Date of publication of application : 01.11.1989

(51)Int.Cl.

H01L 21/82

H01L 27/04

(21)Application number : 63-102970

(71)Applicant : NEC IC MICROCOMPUT SYST LTD

(22)Date of filing : 26.04.1988

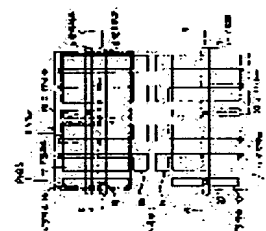
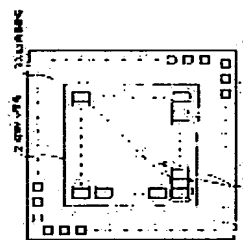
(72)Inventor : TAKAMORI KAZUO

(54) LARGE-SCALE INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To make it possible to drive a circuit at a more high voltage and obtain a circuit design in which the degree of freedom is high by a method wherein wells of a plurality of inner cells are arranged separately from each other and wherein a plurality of power supply wirings each different in voltage is extendedly disposed with respect to the contact area of each well.

CONSTITUTION: Each inner cell 1 is formed with an n-channel MOS transistor NMOS formed on a p-type semiconductor substrate 8 and a p-channel MOS transistor PMOS formed on an n-well 9 provided on the substrate 8. Power supply wiring 5 and 6 different in voltage to each other are extendedly disposed with respect to the cell 1. The n-well 9 of the cell 1 is separately formed. Then, by merely setting the position of a contact hole 19 at will, the electric potential of the n-well 9 of the cell 1 can be set individually to any electric potential of the wirings 5, 6. This makes it possible to drive a circuit at a more high voltage and obtain a circuit design having high degree of freedom.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

BEST AVAILABLE COPY

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平1-273332

⑮ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)11月1日

H 01 L 21/82

L-8526-5F

M-8526-5F

27/04

D-7514-5F 審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 大規模集積回路装置

⑯ 特 願 昭63-102970

⑰ 出 願 昭63(1988)4月26日

⑱ 発 明 者 高 森 一 雄 東京都港区芝5丁目7番15号 日本電気アイシーマイコンシステム株式会社内

⑲ 出 願 人 日本電気アイシーマイコンシステム株式会社 東京都港区芝5丁目7番15号

⑳ 代 理 人 弁理士 鈴木 章夫

明 細 書

1. 発明の名称

大規模集積回路装置

2. 特許請求の範囲

1. 複数個の内部セルを配列した内部セル領域と、入出力回路領域と、ボンディングパッドとを有するマスタスライス方式のゲートアレイ型の大規模集積回路装置において、前記内部セルのウェルを夫々独立した構成とし、かつ各ウェルのコンタクト領域に対して夫々電圧が異なる複数の電源配線を延設し、任意の電源配線を選択してウェルに接続可能に構成したことを特徴とする大規模集積回路装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はマスタスライス方式のゲートアレイ大規模集積回路装置に関し、特に内部セルが夫々異なる電源電圧で回路を構成できるようにした大規模集積回路装置に関する。

(従来の技術)

従来提供されているゲートアレイ大規模集積回路装置(以下、ゲートアレイLSIと称する)は、第2図に平面レイアウト図を示すように、内部にトランジスタ等の素子からなる内部セル1をX方向及びY方向に繰り返し配置した内部セル領域2と、その外周に配設した入出力回路領域3と、更にその外周部に配列したボンディングパッド4を備えている。そして、これらに対して電源配線とグラウンド配線を配設し、各内部セル1はこれらの配線に対して電気接続することで、内部セル1を駆動するための電源接続を行っている。

(発明が解決しようとする課題)

上述した従来のゲートアレイLSIでは、内部セルに供給される電源電圧は一定種類であるため、回路上一種類の電源電圧しか使用できない。このため、内部セル1で種々の回路を構成した場合、高電圧での回路駆動を行うと消費電力が増大し、金属配線層のエレクトロ・マイグレーションが発生し、或いは使用回路周波数の制限が生じる等の問題がある。また、低電圧での回路駆動を行うと

遅延時間が増大し、高速回路動作が困難になるという問題がある。更に、消費電力の問題により希望のパッケージへの実装が困難になり、かつこれらの問題のために回路構成の自由度が少なくなってしまうという問題も生じる。

本発明はこれらの問題を全て解消することを可能とした大規模集積回路装置を提供することを目的としている。

(課題を解決するための手段)

本発明の大規模集積回路装置は、内部セル領域に設けられた複数の内部セルのウェルを夫々独立した構成とし、かつ各ウェルのコンタクト領域に対して夫々電圧が異なる複数の電源配線を延設し、任意の電源配線を選択してウェルに接続可能に構成している。

(作用)

上述した構成では、各内部セルのウェルを夫々任意の電位に設定でき、各内部セルで構成する回路を夫々異なる電圧で駆動可能な大規模集積回路を実現する。

ゲート電極14、絶縁膜15を形成している。

また前記PチャネルMOSトランジスタPMOSは、第4図に示すように、各内部セルのNウェル9は夫々独立して構成され、このNウェル9中にNウェル9と接続するためのN⁺型領域16、ソース、ドレインとなるP⁺型領域17を形成している。なお、12はフィールド酸化膜、13はゲート酸化膜、18はゲート電極、15は絶縁膜である。

そして、この実施例では、前記PチャネルMOSトランジスタPMOSの領域上に、夫々異なる電圧が供給される2本の電源配線5及び電源配線6を平行に延設し、絶縁膜15に開孔したコンタクトホール19を通して電源配線5又は6の一方をN⁺型領域16に電気接続し、Nウェル9をその電位に保っている。このとき使用電源電位をP⁺型領域17のいずれかにも接続することにより使用回路上の最高電位として使用することができる。

また、前記NチャネルMOSトランジスタNMOSの領域上にグラウンド配線7を延設し、絶縁膜

(実施例)

次に、本発明を図面を参照して説明する。

第1図は本発明の一実施例の要部の平面図であり、第2図の積線Aで囲んだ2つの内部セルを拡大した図である。また、第3図及び第4図はそれぞれ第1図におけるB-B線、及びC-C線に沿う断面図である。なお、本実施例では各内部セル1はPチャネルMOSトランジスタとNチャネルMOSトランジスタとで構成される相補型MOS(C-MOS)として構成した例を示している。

これらの図において、各内部セル1は、P型半導体基板8に形成したNチャネルMOSトランジスタNMOSと、このP型半導体基板8に設けたNウェル9に形成したPチャネルMOSトランジスタPMOSとで構成される。

前記NチャネルMOSトランジスタNMOSは、第3図に示すように、P型半導体基板8にP型半導体基板と接続するためのP⁺型領域10、ソース、ドレインとなるN⁺型領域11を形成しており、更にフィールド酸化膜12、ゲート酸化膜13、

15に開孔したコンタクトホール20を通してグラウンド配線7をP⁺型領域10に電気接続し、P型半導体基板8を回路上の最低電位にしている。このときグラウンド電位をN⁺型領域11のいずれかにも接続することにより使用回路上の最低電位として使用することができる。

したがって、この構成によれば、各内部セル1に対して異なる電圧の電源配線5及び6が延設され、かつ各内部セルのNウェル9が独立して形成されていることから、単にコンタクトホール19の位置を任意に設定するだけで各内部セルのNウェル9の電位を電源配線5または6の何れかの電位に個別に設定することが可能となる。これにより、所望の論理を構成するファンクション・ブロックにおいて、各論理に最適な電圧を選択して回路を構成することが可能となる。

これにより、一の内部セルにおいては高電圧での回路駆動を実現し、他の内部セルにおいては低電圧での回路駆動を実現し、低電圧駆動させた場合には消費電流を抑制して金属配線層のエレクト

ロ・マイグレーションや解消し、かつ使用回路周波数の向上及び消費電力の抑制を可能とする。また、高電圧駆動させた場合には遅延時間を少なくして高速動作を実現する。

なお、本実施例では2本の電源配線を延設した例を示したが、これに限定されるものではなく、3本以上の電源配線を設けることも可能である。
〔発明の効果〕

以上説明したように本発明は、複数個の内部セルのウェルを夫々独立した構成とし、かつ各ウェルのコンタクト領域に対して夫々電圧が異なる複数の電源配線を延設しているの、任意の電源配線を選択してウェルに接続することにより各内部セルのウェルを夫々任意の電位に設定でき、所望の内部セルにおいて異なる電源電圧を用いた回路が構成できる。このため1種の電源電圧に限定されず、より高電圧、より低電圧での回路駆動が可能となり、低電圧駆動により消費電流を抑制し、エレクトロ・マイグレーション、使用回路周波数及び消費電力の問題を解消し、また高電圧駆動に

より遅延時間の問題を解消し、したがって、従来使用電源電圧から決定された回路構成の制限が緩和され、より自由度の高い回路設計ができる効果がある。

4. 図面の簡単な説明

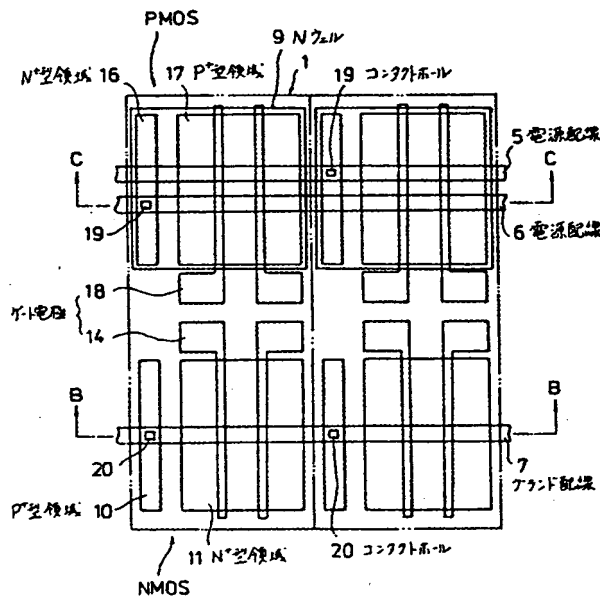
第1図は本発明の一実施例の要部の拡大平面図で第2図のA部に相当する図、第2図は大規模集積回路の全体平面レイアウト図、第3図および第4図はそれぞれ第1図のB-B線、及びC-C線に沿う断面図である。

1…内部セル、2…内部セル領域、3…入出力回路領域、4…ボンディングパッド、5、6…電源配線、7…グランド配線、8…P型半導体基板、9…Nウェル、10…P⁺型領域、11…ソース、ドレインとなるN⁺型領域、12…フィールド酸化膜、13…ゲート酸化膜、14…ゲート電極、15…絶縁膜、16…N⁺型領域、17…ソース、ドレインとなるP⁺型領域、18…ゲート電極、19、20…コンタクトホール。

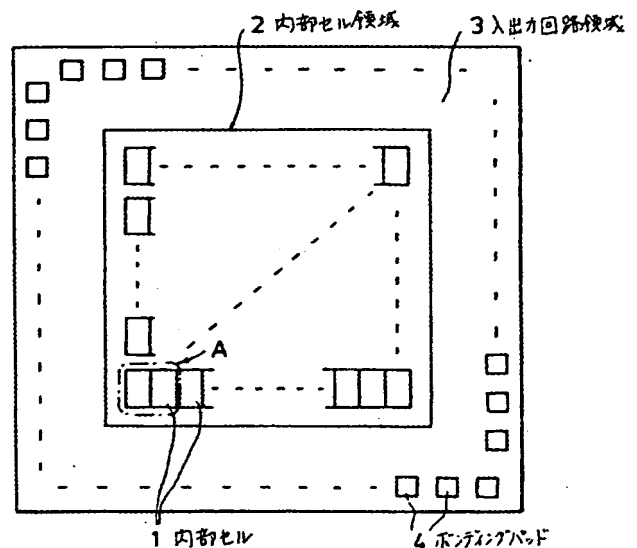
代理人 弁理士 鈴木 章



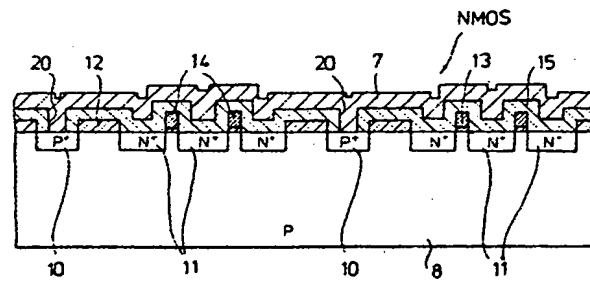
第 1 図



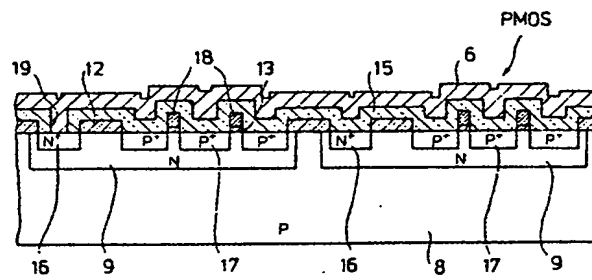
第 2 図



第 3 図



第 4 図



THIS PAGE BLANK (USPTO)